

CURRENT-SOURCE ARRANGEMENT

Patent number: CN1041230
Publication date: 1990-04-11
Inventor: JOHANNES GROENEVELD DIRK WOUTE (NL);
 JOHANNES SCHOUWENAARS HENDRIKU (NL)
Applicant: PHILIPS NV (NL)
Classification:
 - international: **G05F3/24; G05F3/26; H03F3/343; H03M1/10;**
G05F3/08; H03F3/343; H03M1/10; (IPC1-7): G05F3/20
 - european: G05F3/26A
Application number: CN19891008022 19890909
Priority number(s): NL19880002230 19880912; NL19890000215 19890130

Also published as:

EP0359315 (A)
 US4967140 (A)
 JP2105907 (A)
 BR8904574 (A)
 EP0359315 (B)

Report a data error he

Abstract not available for CN1041230
 Abstract of correspondent: **EP0359315**

N configurations of N+1 transistor configurations (2.1 to 2.N+1) comprising control transistors (T1 to T N+1) and control inputs (3.1 to 3.N+1) are connected to N outputs (1, 2, ... N) by means of a switching network (7) in accordance with a cyclic pattern N, the remaining configuration being connected to a correction circuit (5) comprising a reference-current-source (6) for adjusting the control voltage of the control transistor via the control input of the relevant configuration, in such a way that the output current of the relevant configuration becomes equal to that of the reference-current-source (6).

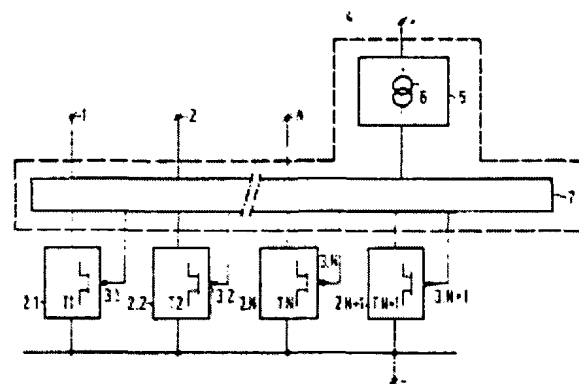


FIG.1

Data supplied from the **esp@cenet** database - Worldwide

(18) 中华人民共和国专利局

(11) 公开号 CN 1041230A



(12) 发明专利申请公开说明书

(21) 申请号 89108022.8

(51) Int.Cl⁶

G05F 3/20

(43) 公开日 1990年4月11日

(22) 申请日 89.9.9

(30) 优先权

(32) 88.9.12 (33) NL (31) 8802230

(32) 89.1.30 (33) NL (31) 8900215

(71) 申请人 菲利浦光灯制造公司

地址 荷兰艾恩德霍芬

(72) 发明人 德克·沃特·约翰内斯·格陵尼费尔德
亨德利卡斯·约翰内斯·肖文纳斯

(74) 专利代理机构 中国专利代理有限公司

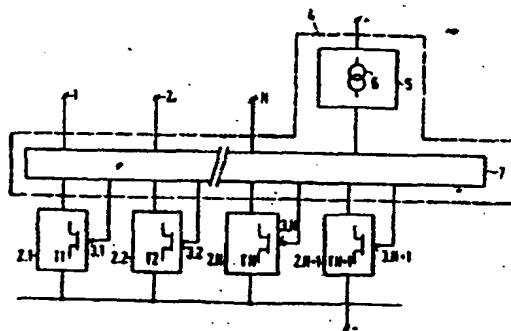
代理人 曹济洪 肖均昌

说明书页数: 9 附图页数: 4

(54) 发明名称 电流源装置

(57) 摘要

一个电流源装置中, 含有控制晶体管(T1至TN+1)和控制输入端(3.1至3.N+1)的N+1个晶体管组件(2.1至2.N+1)中的N个晶体管组件, 按一个循环图N, 通过开关网络(7)连到N个输出端(1.2...N), 剩下的一个组件连到校正电路(5), 校正电路(5)包括一个基准电流源(6), 它经相应组件的控制输入端去调整控制晶体管的控制电压, 其方式是, 使相应组件的输出电流等于基准电流源(6)的电流。



(BJ)第1436号

权 利 要 求 书

1. 一个电流源装置包括:

—用于产生多个完全相等电流的多个晶体管组件, 以及
—用于减少来自晶体管组件的电流中的相互偏差的校正装置, 其特征在于:

—晶体管组件数, 至少比所需电流数多一个,

—每个晶体管组件包括一个控制晶体管, 它的控制电压可调, 用于提供一个可调的第一电流, 以及

—采用校正装置, 通过调整相应晶体管组件的控制晶体管的控制电压, 按照一个循环图使每个晶体管组件的电流等于一个基准电流。

2. 一个权利要求1所述的电流源装置, 其特征是, 每个晶体管组件是由控制晶体管, 及一个设置在该晶体管栅极和源极之间的电容构成。

3. 一个权利要求2所述的电流源装置, 其特征是, 电容是由相应的控制晶体管的栅—源电容构成。

4. 一个权利要求2或3所述的电流源装置, 其特征是, 校正装置包括, 向控制晶体管的漏极提供基准电流的装置, 和漏极与栅极之间用于控制电容上电压的负反馈装置, 其控制方式是使第一电流等于基准电流。

5. 一个权利要求2或3所述的电流源装置, 其特征是, 校正装置包括:

—用于把一个基准电流转换成一个基准电压的第一电阻,

—用于把第一电流转换成一个第二电压的第二电阻, 以及

—连接第一、第二电阻和电容的负反馈装置, 用于调整电容上的电

压，使第二电压等于基准电压。

6. 一个权利要求4所述的电流源装置，其特征是，负反馈装置包括用于调整控制晶体管漏极电压的调整装置。

7. 一个权利要求6所述的电流源装置，其特征是，调整装置包括一个电流随动晶体管，它的源极连到控制晶体管的漏极，它的栅极连到基准电压端，而它的漏极连到一个偏置电流源上。

8. 一个权利要求1所述的电流源装置，其特征是，每个晶体管组件，由控制晶体管及其栅极和源极之间设置的电容，以及一个用于提供第二电流的晶体管电流源构成，该晶体管组件的电流，等于第一和第二电流之和。

9. 一个权利要求8所述的电流源装置，其特征是，电容是由相应的控制晶体管的栅—源电容构成。

10. 一个权利要求8或9所述的电流源装置，其特征是，校正装置包括：把基准电流和第二电流的差加到控制晶体管漏极上的装置，和设置在该控制晶体管的漏极和栅极之间，用于调整电容电压的负反馈装置，其调整方式是使第一和第二电流之和等于基准电流。

11. 一个权利要求8或9所述的电流源装置，其特征是，校正装置包括，把基准电流和第二电流的差加到一个第二晶体管漏极上的装置，第二晶体管的栅—源结，与控制晶体管的栅—源结并联，校正装置还包括，设在第二晶体管的漏极和栅极之间，用于控制电容电压的负反馈装置，其控制方式是，使第二晶体管的电流与第二电流之和，等于基准电流。

12. 一个权利要求8或9所述的电流源装置，其特征是，校正装置包括：

—把基准电流转换成—个基准电压的第一电阻，
—把第一和第二电流之和转换成第二电压的第二电阻，以及
—与第一、第二电阻及电容连接的负反馈装置，用于调整电容上的电压，使第二电压等于基准电压。

13. 如权利要求11所述的电流源装置，其特征是，负反馈装置包括，用于调整控制晶体管漏极电压的调整装置。

14. 如权利要求13所述的电流源装置，其特征是，调整装置包括一个电流随动晶体管，其源极连到控制晶体管的漏极，栅极连到一个基准电压端，且它的漏极连到一个偏置电流源。

15. 一个数—模转换器，其特征是，它至少包括一个上述任一权利要求所述的电流源装置。

电流源装置

本发明涉及一个电流源装置，它包括：

- 用于产生多个完全相等电流的多个晶体管组件，以及
- 校正装置，用于减少各晶体管组件的电流的相互偏差。

本发明还涉及一个包括这一装置的数—模转换器。

这一装置，见美国专利说明书4 5 7 3 0 0 5。在该装置中，校正装置包括一个精密电流镜像电路，其中来自一个晶体管组件的电流加在其输入端作为基准电流，而来自另一晶体管组件的电流依照一个循环图加到至少一个输出端。然后，基准电流与来自另一晶体管组件的电流之间的差出现在该输出端上，该差值被用于校正所述的后一个电流，使它较好地依从于基准电流。

这一装置的一个缺点是，精密电流镜像电路必须与该晶体管组件及其负载串联设置，因此：已知的电流源装置需要一个较高的电源电压。

本发明的目的是提供一个含有校正装置的电流源装置，它可以在较低电源电压下操作。

按照本发明，本文开始段所限定的电流源装置的特征是：

- 晶体管组件数比所需电流数至少多一个；
- 每个晶体管组件包括一个控制晶体管，其控制电压可调，用于提供一个可调的第一电流；以及
- 采用校正装置，通过调整相应晶体管组件的控制晶体管的控制电压，按照循环图使来自每个晶体管组件的电流等于基准电流。

由于在按照本发明的装置中，晶体管组件数不大于实际需要数，

这意味着，在每一个循环周期内把电流源装置中的一个晶体管组件用于校正是可能的，并且在上述循环周期内把校正后的晶体管组件接回电流源装置。由于在校正期间不再有一个晶体管组件与电流源装置的负载串联，该装置可以用较低的电源电压操作。

按照本发明的电流源装置的另一优点是，电流源装置的实际操作不受校正装置干扰。按照本发明的电流源装置各实施例，由各从属权利要求所限定。

以下通过实例并参考附图，对本发明做更详细的说明，其中：

图 1 是按照本发明的电流源装置的基本电路图；

图 2 是按照本发明电流源装置的第一实施例，

图 3 是按照本发明电流源装置的第二实施例，

图 4 是按照本发明电流源装置的第三实施例，

图 5 是按照本发明电流源装置的第四实施例，

图 6 是按照本发明电流源装置的第五实施例，

图 7 是本发明电流源装置的第六实施例，

图 8 示出了按照本发明电流源装置中使用的开关的两个实例，

图 9 示出了含有本发明电流源装置的数—模转换器的第一个实施例，且

图 10 示出了按照本发明的数—模转换器的第二个实施例。

图 1 是按照本发明电流源装置的一个基本图。制造该装置是为了向输出端 1 至 N 提供 N 个完全相等的电流，负载可以连接在这些输出端，为简单起见。负载未示出。该装置包括 $N + 1$ 个晶体管组件 2.1 至 2. $N + 1$ ，它们分别包括一个控制晶体管 T_1 至 $T_{N + 1}$ 。晶体管组件还包括控制输入端 3. 1 至 3. $N + 1$ ，用于调整控制晶体

管 T_1 至 T_{N+1} 的控制电压，从而也就调整了电流。该装置还包括校正装置 4，校正装置 4 包括一个具有基准电流源 6 的校正电路 5，用于为控制输入端 3_1 至 3_{N+1} 之一提供控制信号，以及一个开关网络 7，用于每次把晶体管组件 2_1 至 2_{N+1} 之一接到校正电路 5，并按照一个循环图把其他晶体管组件接到输出端 $1 \dots N$ 。

在本装置中， N 个晶体管组件在每一个循环周期中向输出端 1 至 N 提供输出电流，余下的晶体管组件被连到校正电路 4。在这个电路中，来自相应晶体管组件的电流与来自电流源 6 的基准电流比较，并且通过由校正电路与加到晶体管组件控制输入端 3 的控制信号，调整控制晶体管 2 的控制电压，使来自该晶体管组件的电流等于基准电流。在下一个循环周期内，校正后的晶体管组件 2 通过开关网络 7 与一个“未校正的”晶体管组件 2 互换。这样，来自所有晶体管组件 2_1 至 2_{N+1} 的电流就被依次、连续地校正。其结果，使在输出端 1 至 N 得到的诸电流，极接近地等于基准电流。由于被校正的晶体管组件已从实际电源装置断开，校正电路不会干扰电流源装置的正确操作。因为校正电路不需要比装置正常操作时更高的电压，该电流源装置适于在低电源电压下运行。

图 2 示出了按照本发明电流源装置的第一实施例。该装置包括 4 个晶体管组件，它们包括控制晶体管 T_1 至 T_4 ，和设置在它们栅极和源极之间的电容 C_1 至 C_4 。通过开关 $S_{1.1}$ 至 $S_{4.1}$ ， $S_{1.2}$ 至 $S_{4.2}$ 和 $S_{1.3}$ 至 $S_{3.3}$ ，每次可以把 4 个晶体管 T_1 至 T_4 中的 3 个连接到输出端 1 ， 2 和 3 ，剩下那个晶体管被接到校正电路 5 的输入端 10 和 11 。在本实例中，这些开关按照循环

图由一个通过时钟 15 控制的移位寄存器 14 控制。

在本图说明的情况下，来自晶体管 T1、T3 和 T4 的电流 I_1 、 I_3 和 I_4 被加到输出端 1、2 和 3，而来自晶体管 T2 的电流 I_2 被加到校正电路 5 的输入端 11。开关 S1.1，S3.1 和 S4.1 打开，开关 S2.1 闭合，从而把晶体管 T2 的栅极连到输入端 10。在本例中，校正电路包括一个基准电流源 6，它向相连的输入端 10 和 11 提供一个电流 I_{ref} 。

由于输入端 10 和 11 直接连接，晶体管 T2 的漏极就连到它的栅极。此时，电流源 6 控制着电容 C2 上的电压，其方式是使电流 I_2 精确等于基准电流 I_{ref} 。在下一个时钟周期，晶体管 T2 通过开关 S2.2 和 S2.3 连到输出端 2，同时开关 S2.1 被打开。因此，电容 C2 上的电压仍可得到，从而使晶体管 T2 继续提供一个精确等于电流 I_{ref} 的电流 I_2 。在同一时钟周期内，其它 3 个晶体管之一，例如晶体管 T3，被连到校正电路的输入端 10 和 11，并且电容 C3 上的控制电压被调整，其方式是使电流 I_3 精确等于电流 I_{ref} 。这样，使得晶体管 T1 至 T4 的电流 I_1 至 I_4 依次、连续地等于电流 I_{ref} 。结果是在输出端 1、2 和 3 上可获得精确相等的电流。

图 3 示出了按照本发明电流源装置的第二实施例，为了简单起见，只示出校正电路和被校正的晶体管。校正电路包括一个电流源 6，它提供一个基准电流 I_{ref} ， I_{ref} 被转换成一个电阻 R1 两端的基准电压 V_{ref} 。输出端 11 经电阻 R2 连到正电源端。电阻 R1 和 R2 连到放大器 16 的反相输入端和非反相输入端，放大器输出端连到输入端 10。再把晶体管 T2 的栅极和漏极连到输入端 10 和 11。来

自晶体管 T_2 的电流 I_2 被转换成电阻 R_2 两端的成比例电压。此时，放大器 16 控制电容 C_2 两端的电压，使电阻 R_2 两端的电压等于电阻 R_1 两端的基准电压 V_{ref} 。当 R_1 和 R_2 具有相同阻值，电流 I_2 将精确等于电流 I_{ref} 。通过选择电阻 R_1 和 R_2 阻值的特定比，可以确定电流 I_{ref} 和 I_2 之间的比值。

图 4 示出了按照本发明电流源装置的第三实施例，图中相同部分具有与图 2 相同的数码。此处，晶体管组件包括控制晶体管 T_1 至 T_4 和电容 C_2 至 C_4 ，电流源 B_2 至 B_4 与它们并联。一个晶体管组件提供的电流，等于来自控制晶体管和—个电流源的电流之总和。因此，来自电流源 B_1 至 B_4 的电流小于来自电流源 6 的基准电流。通过开关 $S_{1.1}$ 至 $S_{4.1}$ ， $S_{1.2}$ 至 $S_{4.2}$ 和 $S_{1.3}$ 至 $S_{3.3}$ ，每次可以把晶体管组件 T_1 ， B_1 到 T_4 ， B_4 的 4 个电流中的 3 个，加到输出端 1，2 和 3，而来自剩余那个晶体管组件的控制晶体管和电流源的电流被加到校正电路 5 的输入端 11 和 12。

在本图说明的情况中，来自晶体管组件 T_1 、 B_1 ， T_3 、 B_3 和 T_4 ， B_4 的电流被加到输出端 1，3 和 2，而晶体管组件 T_2 ， B_2 被连到校正电路 5。且开关 $S_{1.1}$ ， $S_{3.1}$ 和 $S_{4.1}$ 打开，开关 $S_{2.1}$ 被连到校正电路 5 的输入端 10。校正电路 5 也包括一个提供基准电流 I_{ref} 的电流源 6，该电流源的输出端连到输入端 10，11 和 13。

电流 I_{ref} 和 I_2 的差 ΔI_2 被加到晶体管 T_2 的漏极。此时，电流源 6 控制电容 C_2 上的电压，其方式是使电流 I_2 与 ΔI_2 之和等于电流 I_{ref} 。其余部分，本装置按图 2 所示的方式工作。因为校正电路仅通过电容 C_2 上的电压校正一个小的电流差，输出电流对晶

晶体管 T_2 栅—源电压中的小变化的敏感性被大大减低。

图 5 示出了第四实施例，为简便，只示出被校正晶体管的校正电路。相同部分具有与图 4 中相同的数码。校正电路也包括一个传送基准电流 I_{ref} 的电流源 6，电流源 B 2 的电流 I_2 ，是由输入端 1 3 上从该电流获得的。电流 I_{ref} 和 I_2 的差被加到晶体管 T_5 ， T_5 的漏极被连到其栅极。栅极连到输入端 1 0。输入端 1 1 连到一个直流电压 V_c 点。晶体管 T_2 的栅极和漏极也连到输入端 1 0 和 1 1。晶体管 T_5 连同晶体管 T_2 构成一个电流镜像电路，电流 ΔI_2 加到这个电路。该电流控制电容 C_2 上的电压，其方式是使晶体管 T_5 的电流 I_5 精确等于电流 ΔI_2 。由于相同的控制电压出现在晶体管 T_2 的栅极和源极之间，晶体管 T_2 的电流 I_2 也会精确等于 ΔI_2 。其余部分，装置的操作与图 4 中方法相同。

图 6 示出了第五实施例，其中只示出了校正电路和待校正晶体管。相同部分具有如图 3 中相同的数码。本装置的操作与图 3 所示相同，所不同处是，此处晶体管 T_2 的电流 ΔI_2 和电流源 B 2 的电流之总和，加到了电阻 R_2 上。

图 7 所示是第六实施例，也仅示出了校正电路和待校晶体管。相同部分具有与图 2 相同的数码。校正电路也包括一个电流源 6，此处它提供一个电流 $I_{ref} + I_b$ ，以及一个晶体管 T_6 ，它的源极连到电流源 6，它的栅极接在电压 V_{ref} 上，漏极经一个偏置电流源 2 0，连到电源负端，偏置电流源 2 0 传送一个电流 I_b 。晶体管 T_2 的栅极和漏极也连到校正电路的输入端 1 0 和 1 1。来自电流源 6 和 2 0 的电流之差 I_{ref} 仍控制电容 C_2 的电压，其方式是，经晶体管 T_6 使晶体管 T_2 的电流 I_2 精确地等于电流 I_{ref} 。基准电压 V_{ref} 的

选择方式如下, 使晶体管 T_2 漏极上的电压与该晶体管接入实际电流源装置或 D/A 转换器时, 晶体管 T_2 的漏极电压相等。这是为了保证, 在实际装置中该晶体管不会由于另一个漏—源电压而传送与它在校正电路中时不同的电流。

很明显, 这个校正电路也能用于图 4 所示实施例中, 这时, 电流源 B_2 也应和校正电路的输入端 13 连接, 如图 7 虚线所示。然后, 差电流 $\Delta I_2 = I_{ref} - I_2$ 经晶体管 T_6 控制电容 C_2 两端的电压, 其方式如下, 使经过晶体管 T_2 的电流精确地等于电流 ΔI_2 。

在上述诸实施例中, 开关由适当的晶体管构成。作为例子, 图 8 a 示出了带有一个电容 C_2 的晶体管 T_2 和由晶体管 T_7 构成的一个开关 $S_{2.1}$ 。图 8 b 示出了一个修改方案, 晶体管 T_8 与晶体管 T_7 串联, 并且 T_8 的漏极与源极相连。一个与加到晶体管 T_7 栅极的信号相反的信号, 加到晶体管 T_8 的栅极。因此, 在关断期间, 晶体管 T_8 阻止晶体管 T_7 中的电荷泄漏到电容 C_2 中去。

在这里所述的实施例中, 电容 C_1 至 C_4 可以是分立电容, 但也可以用适当的方式, 由晶体管的栅—源电容构成。

图 9 所示是含有本发明电流源装置的一个数—模转换器的第一实施例。本例是一个 16 位数—模转换器。它包括图示的一个电流源装置 50, 电流源装置 50 含有 18 个晶体管组件, 它们的电流, 按上述方式由校正电路 51 调整到完全等于电流源 52 的基准电流 I_{ref} 。17 个输出电流中的一个电流 I_{ref} 被用作为第二电流源装置 60 的校正电路 61 的基准电流, 该电流源装置 60 包含 17 个晶体管组件, 它们的电流, 按上述方式被调整到等于电流 I_{ref} 。装置 60 中的一个电流 I_{ref} 被加到一个二进制分流器, 在本例中, 该分流器为 8 个

最低有效位提供电流。(该装置的其他电流结合在一起, 获得一个电流 I_{ref} 、 $2 I_{ref}$... $8 I_{ref}$ 的二进制加权序列。电流源装置 50 的其他 16 个电流合并在一起获得一个电流 $16 I_{ref}$, 被用作基准电流加到第三电流源装置 70 的校正电路 71, 装置 70 含有 16 个晶体管组件, 它们的电流, 按上述方式被调整到等于电流 $16 I_{ref}$ 。电流源装置 70 的 15 个电流结合在一起, 以便获得二进制加权序列 $16 I_{ref}$ 、 $32 I_{ref}$... $128 I_{ref}$ 。电流源装置 60 和 70 以及分流器 63 的输出电流被用于按公知的方式, 把一个数字输入码转换为模拟输出信号。

图 10 所示, 是包含本发明电流源装置的一个 16 位 D/A 转换器的第二实施例。它包括一个图示的电流源 90, 用于产生 64 个完全相等电流。这些电流, 按上述方式, 通过一个校正电路 95, 依次、连续地被调整到等于一个基准电流。利用一个含有 63 个双向开关 (为简单起见未示出) 的开关网络 100, 这 63 个电流或加到汇总点 125 上, 或加到一个正电源端, 取决于数字输入码的 6 个最高有效位。64 个电流之一, 被加到图示的分流电路 115, 分流电路 115 为 10 个最低有效位提供电流。这些电流, 通过含有双向开关 (为简单起见未示出) 的开关网络 120, 或加到汇总点 125, 或加到正电源端, 这取决于数字输入码。通过图示的一个电流—电压转换器 130, 汇总点 125 上的总输出电流 I_{out} 可以被转换为一个输出电压 V_{out} 。

在本实施例中, 16 位数字输入字依次被加到一个数据寄存器 110 的一个输入端 111。10 个最低有效位直接控制开关网络

120的各个开关。6个最高有效位，首先加到译码器105上。译码器105根据这6位获得开关网络100的63个开关的开关信号。

在含有本发明电流源装置的D/A转换器中，校正网络逐次连接各晶体管组件时所用的频率最好按如下方式选择，使数字输入码采用的频率等于所述开关频率的倍数($N \geq 1$)。这就使得由校正和开关网络可能引起的开关瞬变过程，通过设在D/A转换器输出端上的惯用的限变degitching网络被消除，从而消除由实际D/A转换器产生的开关瞬变过程。

本发明不仅限于这里公开的实施例。例如，校正电路也可以用与此不同的方法构成。

说明书附图

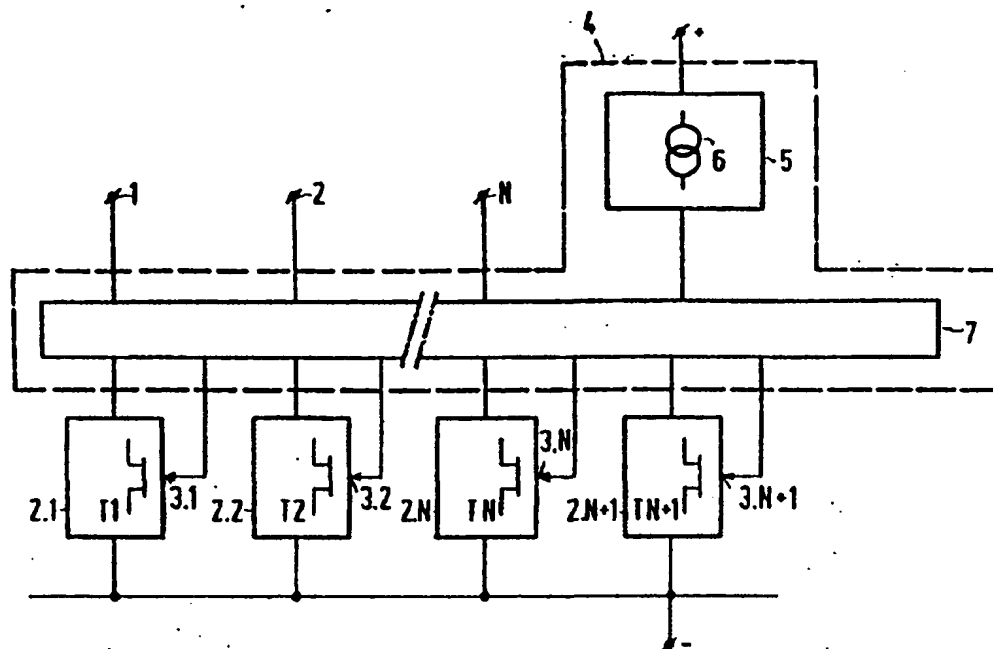


图 1

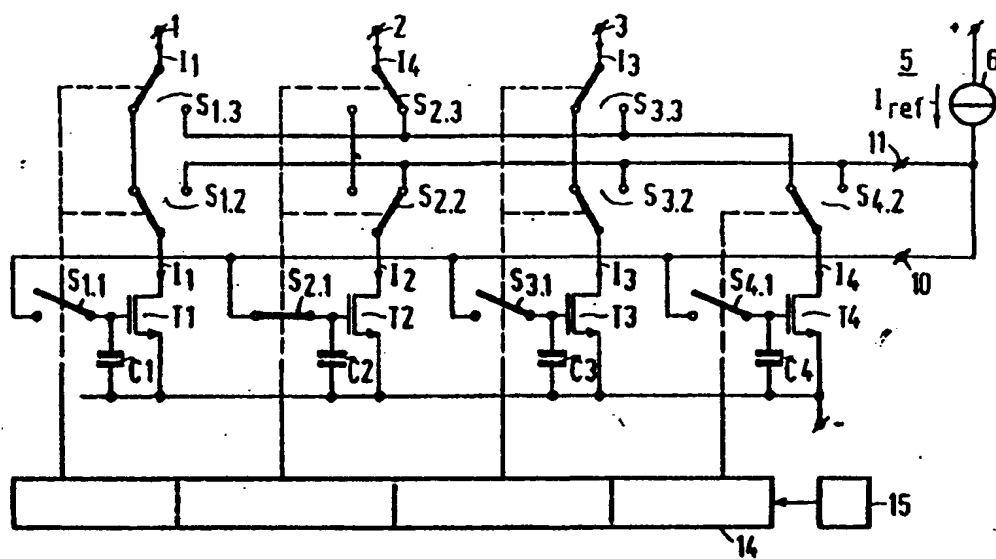


图 2

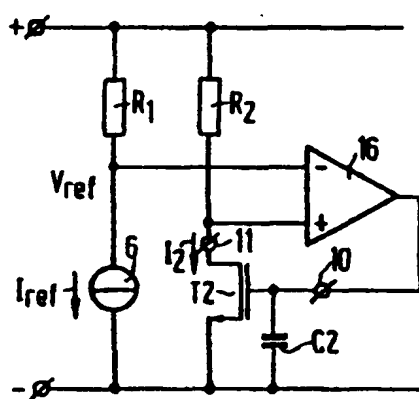


图 3

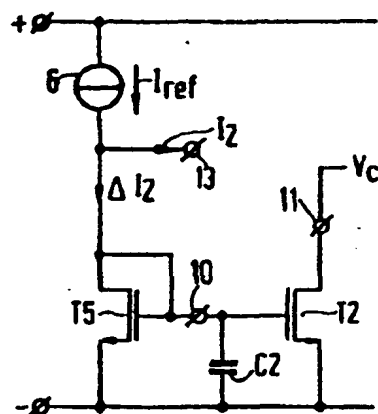


图 5

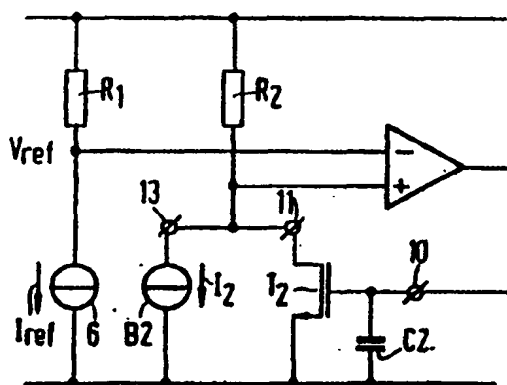


图 6

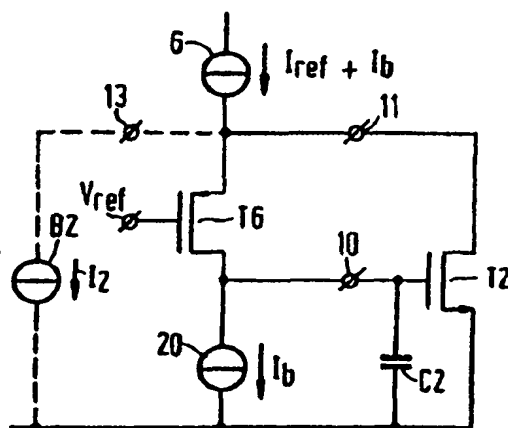


图 7

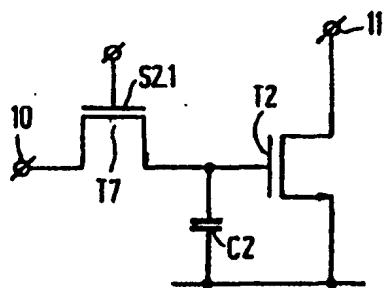


图 8 A

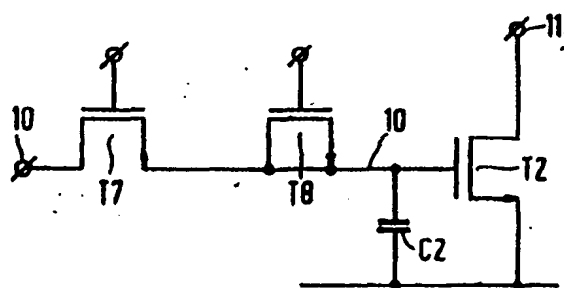


图 8 B

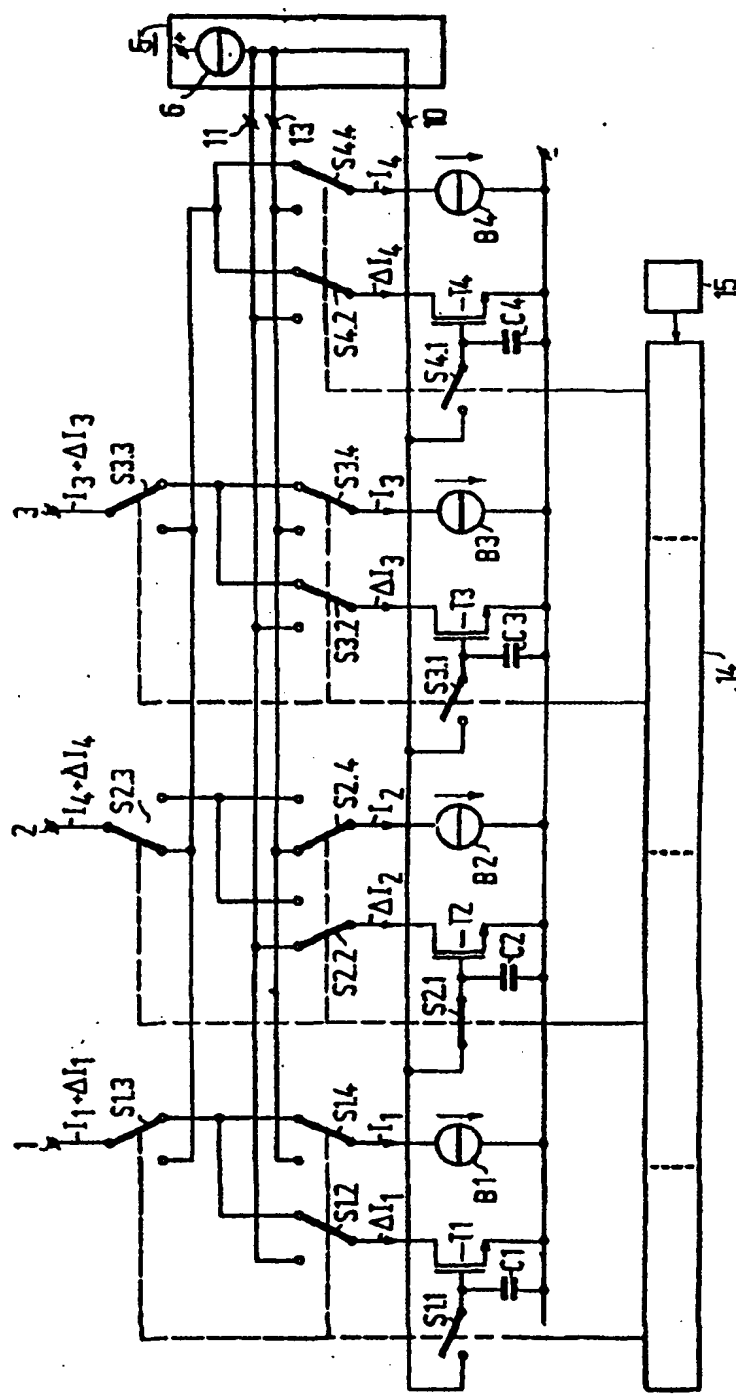


图 4

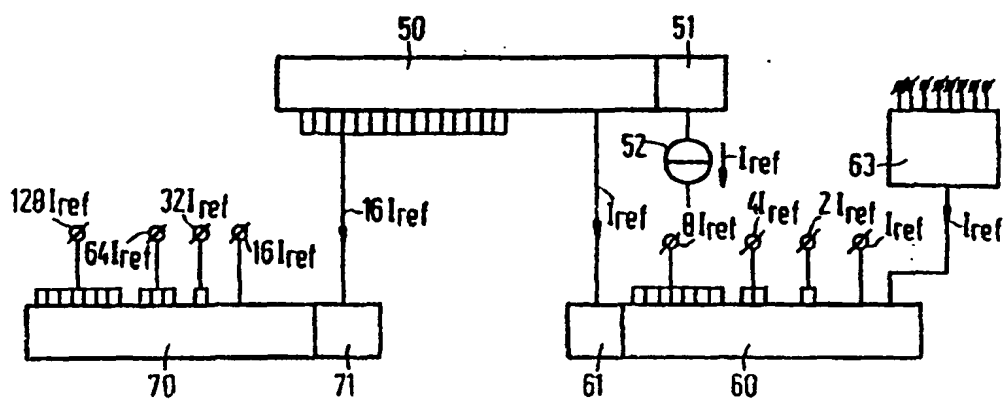


图 9

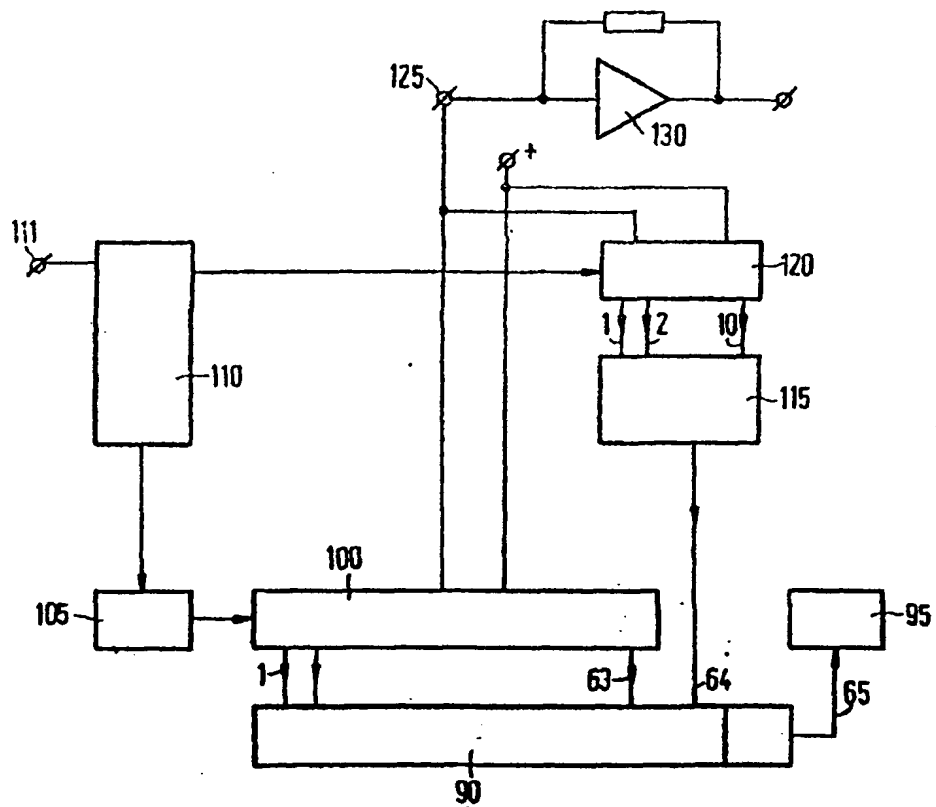


图 10